

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-105240

(43)Date of publication of application : 21.04.1995

(51)Int.Cl. G06F 17/50

(21)Application number : 05-244181

(71)Applicant : NEC CORP

(22)Date of filing : 30.09.1993

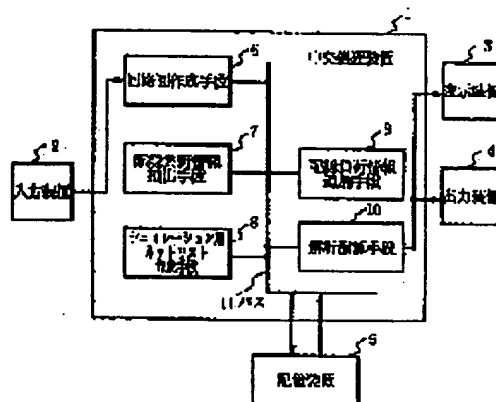
(72)Inventor : TANAKA MINORU

(54) CIRCUIT DESIGNING DEVICE

(57)Abstract:

PURPOSE: To improve the precision of circuit analysis simulation right after circuit diagram data input, to increase the simulation speed, and to shorten the turn-around time.

CONSTITUTION: A circuit diagram generating means 6 recognizes the wiring length between elements in a circuit diagram received by a central processor 1 as a ratio of wiring length on an actual IC layout and a wiring load information extracting means 7 extracts load information on unit resistance values, unit capacity values, etc., determined by processes, thereby estimating the values of resistance and capacity generated on each wire. A wiring load information adding means 9 adds the information to a net list for circuit simulation generated by a net list generating means 8 for simulation and an analytic arithmetic means 10 performs the circuit simulation.



LEGAL STATUS

[Date of request for examination] 23.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2630218

[Date of registration] 18.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-105240

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.⁶

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 6 0 D

審査請求 有 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-244181

(22) 出願日 平成5年(1993)9月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 稔

東京都港区芝五丁目7番1号 日本電気株式会社内

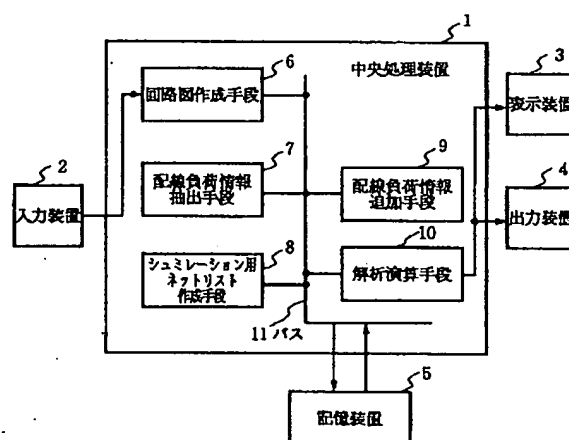
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 回路設計装置

(57) 【要約】 (修正有)

【目的】 回路図データ入力直後の回路解析シュミレーション精度を向上させ、シュミレーション速度を早くするとともに、ターンアラウンドタイムを短くする。

【構成】 中央処理装置1で受信した回路図中の素子間の配線の長さを実際のICレイアウト上の配線長の比として回路図作成手段6で認識し、プロセス毎に決まっている単位抵抗値、単位容量値等の負荷情報を配線負荷情報抽出手段7で抽出し、各配線に生じる抵抗、容量の値を見積もる。その情報をシュミレーション用ネットリスト作成手段8で作成した回路シュミレーション用ネットリストに対し配線負荷情報追加手段9で追加し、解析演算手段10で回路シュミレーションを実施する。



【特許請求の範囲】

【請求項 1】 回路解析のシュミレーション機能を備えた中央処理装置に入力装置、出力装置、表示装置および記憶装置を接続し、回路設計を行なう回路設計装置において、前記中央処理装置は、前記入力装置から入力されるデータに基づき回路図上に素子を配置して配線を割り付ける回路図作成手段と、前記回路図作成手段で割り付けられた配線より負荷情報を取り出す配線負荷情報抽出手段と、前記回路図作成手段により作成された回路図に基づき回路シュミレーション用ネットリストを作成するシュミレーション用ネットリスト作成手段と、前記シュミレーション用ネットリスト作成手段により作成されたシュミレーション用ネットリストに対し前記配線負荷情報抽出手段で抽出した配線負荷情報を追加する配線負荷情報追加手段と、前記配線負荷情報追加手段の出力により回路解析の演算を行ない且つそのシュミレーション結果を前記表示装置もしくは前記出力装置に出力する解析演算手段とを有することを特徴とする回路設計装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は IC、LSI、PCBなどの電子回路を設計するための回路設計装置に関し、特に小規模回路ブロックにおいて、回路シュミレーション用接続情報と遅延等の配線負荷情報を同時に入力する回路設計装置に関する。

【0002】

【従来の技術】 従来の回路設計装置は、CAD装置を用いて回路解析のシュミレーションを行なっている。そのため、小規模電子回路ブロックの回路設計にあたって、回路シュミレーション用接続情報の処理と配線負荷情報の処理とを別個に行なっている。

【0003】 図4は従来の一例を説明するための回路設計装置における処理フロー図である。図4に示すように、従来の回路設計装置においては、入出力装置や表示装置と記憶装置および中央処理装置を備えたCAD装置を用いている。まず、回路図データを入力して回路図素子配置とそれらに基づく回路図素子間配線を決定する。ついで、回路図データ入力完了すると、これらの配置・配線データにより回路解析シュミレーション用ネットリストを作成し、回路シュミレーションを行なう。この回路解析シュミレーションがOKになると、ICレイアウト装置等を用いてICのレイアウトを行なう。さらに、ICレイアウト後に設計エラーが検出されると、ICレイアウトより配線負荷情報を抽出し、その抽出した配線負荷情報を前述した回路解析シュミレーション用ネットリストに追加し、再度シュミレーションを実施して動作の確認を取っている。一方、ICレイアウトが終了し、エラーが無ければ、回路設計を終了とする。

【0004】 かかる従来の回路設計装置においては、回路図入力直後の回路解析で論理等大枠の確認を行ない、

ICレイアウト後にICレイアウトより抽出した配線負荷情報をシュミレーション用ネットリストに追加して細部の確認を取っている。このため、細部のシュミレーションの際に不具合が見つければ、回路図入力まで戻って設計をやり直す必要がある。

【0005】 図5は図4における中央処理装置の動作説明図である。図5に示すように、この中央処理装置は、回路図作成手段で作成されるNANDゲートG1、G3やインバータG2および配線D、E、F等を含んだ回路図データ16を基に、シュミレーション用ネットリスト18を作成する。これにより、中央処理装置の回路シュミレーション装置では、大まかな回路解析シュミレーション20aを行なう。一方、中央処理装置のICレイアウト装置21では、大まかなシュミレーションが終了すると、回路図データ16よりICレイアウトデータ22を作成する。そのデータは配線負荷情報抽出装置23へ送出され、そこで配線負荷情報23が生成される。この配線負荷情報23は、前述したシュミレーション用ネットリスト18と合成され、配線情報を考慮したネットリスト19aが作成される。この配線情報を考慮したネットリスト19aに基づき、再度細かな回路解析シュミレーション20aが行なわれる。

【0006】

【発明が解決しようとする課題】 上述した従来の回路設計装置は、かかる回路シュミレーション用接続情報と遅延等の配線負荷情報を同時に入力していないため、回路図データ入力直後の回路解析シュミレーション精度が低いという欠点がある。特に、配線に起因する遅延やクロストークあるいは波形なまり等のエラーを含んだまま、ICレイアウト装置にデータを渡すことになる。これは回路解析シュミレーションの精度に決定的な影響を与える。

【0007】 また、従来の回路設計装置は、ICレイアウト装置を必要とするので、装置が大きくなるとともに、シュミレーション速度が遅くなるという欠点がある。すなわち、ICレイアウト後に配線負荷情報を抽出し、これをネットリストに追加して回路解析シュミレーションを行なうので、解析演算部であるシュミレーション装置へ膨大なデータが入力され、シュミレーション速度は遅くなる。

【0008】 更に、従来の回路設計装置は、ICレイアウトを終了してから精度の高いシュミレーションを行なっている。そのため、ICレイアウト後にエラーが検出された場合は再度回路図入力に戻り、ICレイアウトの修正を行なってから再度シュミレーションを行なうので、全体のターン・アラウンド・タイム(TAT)が長くなるという欠点がある。

【0009】 本発明の目的は、かかる回路図データ入力直後の回路解析シュミレーション精度を向上させ、シュミレーション速度を早くするとともに、TATを短くす

ることのできる回路設計装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の回路設計装置は、回路解析のシュミレーション機能を備えた中央処理装置に、入力装置、出力装置、表示装置および記憶装置を接続し、回路設計を行なうにあたり、前記中央処理装置は、前記入力装置から入力されるデータに基づき回路図上に素子を配置して配線を割り付ける回路図作成手段と、前記回路図作成手段で割り付けられた配線より負荷情報を取り出す配線負荷情報抽出手段と、前記回路図作成手段により作成された回路図に基づき回路シュミレーション用ネットリストを作成するシュミレーション用ネットリスト作成手段と、前記シュミレーション用ネットリスト作成手段により作成されたシュミレーション用ネットリストに対し前記配線負荷情報抽出手段で抽出した配線負荷情報を追加する配線負荷情報追加手段と、前記配線負荷情報追加手段の出力により回路解析の演算を行ない且つそのシュミレーション結果を前記表示装置もしくは前記出力装置に出力する解析演算手段とを有して構成される。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例を説明するための回路設計装置のブロック図である。図1に示すように、本実施例の回路設計装置は、概略的には、シュミレーションを実行する中央処理装置1と、回路図データを入力するための入力装置2と、解析結果等を表示したり出力するための表示装置3および出力装置4と、解析結果を記憶したり処理プログラムを格納した記憶装置5とから構成される。特に、回路解析のシュミレーション機能を備えた中央処理装置1は、入力装置2から入力されるデータに基づき回路図上に素子を配置して配線を割り付ける回路図作成手段6と、この回路図作成手段6で作成された回路図より配線負荷情報を取り出す配線負荷情報抽出手段7と、同様に回路図作成手段6により作成された回路図に基づき回路シュミレーション用ネットリストを抽出するシュミレーション用ネットリスト作成手段8と、このシュミレーション用ネットリスト作成手段8により作成されたシュミレーション用ネットリストに対し配線負荷情報抽出手段7で抽出した配線負荷情報を追加する配線負荷情報追加手段9と、この配線負荷情報追加手段9の出力により回路解析の演算を行なうとともに、そのシュミレーション結果を表示装置3あるいは出力装置4に出力する解析演算手段10とを有している。なお、この中央処理装置1における各手段はバス11により接続されている。

【0012】図2は図1における処理フロー図である。図2に示すように、まず入力装置2から入力される回路図データにより、回路図作成手段6は回路図素子配置とそれらに基づく回路図素子間配線を決定する。全てのデ

ータが入力されるまで、この処理は繰り返し行なわれる。ついで、回路図データ入力後に回路図作成が完了すると、シュミレーション用ネットリスト作成手段8において、これらの配置・配線データにより回路解析シュミレーション用ネットリストを作成する。

【0013】次に、配線負荷情報抽出手段7は、作成された回路図に基づき配線部分を抽出し、各々の長さを測定する。ここで、測定された配線の長さデータは記憶装置5に一時的に格納される。しかる後、この配線負荷情報抽出手段7はバス11を介して記憶装置5に事前に各プロセス毎に記憶されている配線情報データベースを開き、単位長あたりの抵抗値および容量値を読み込む。ついで、これら読み込まれた単位長あたりの抵抗値および容量値をもとに、記憶装置5へ一時的に格納していた配線長データを用いて、各々の配線の抵抗値および容量値を計算する。また、この時必要であれば、抵抗値および容量値を用いて遅延値を計算する。

【0014】次に、配線負荷情報追加手段9は配線負荷情報抽出手段7で計算された配線負荷情報を、シュミレーション用ネットリスト作成手段8において作成したネットリストに追加し、配線負荷情報を考慮したシュミレーション用ネットリストを作成する。ここで始めて、解析演算手段10は配線負荷情報を考慮したシュミレーション用ネットリストを用いて回路シュミレーションを実施する。このシュミレーション結果が良ければ、ICレイアウトステップへ移行する。逆に、シュミレーション結果が悪ければ、再度データの入力からやり直す。

【0015】従って、本実施例では回路図入力した配線の長さを用いて実際のICレイアウトの配線負荷情報を見積もっており、回路設計段階でのエラー混入を回避することができる。これが回路図データ入力直後の回路解析シュミレーション精度を向上させるとともに、シュミレーション速度を早くすることができる。また、本実施例はICレイアウト工程を介さずに回路の確認ができ、設計確定までのTATを短縮するとともに、設計担当者自身が配線のクリティカルな部分を認識することができる。

【0016】図3は図2における中央処理装置の動作説明図である。図3に示すように、この中央処理装置は、回路図作成手段6でNANDゲートG1、G3やインバータG2および配線D、E、F等を含んだ回路図データ16を作成する。また、シュミレーション用ネットリスト作成手段8は、この回路図データ16を基にシュミレーション用ネットリスト18を作成する。

【0017】一方、配線負荷情報抽出手段7は、回路図データ16に基づき配線情報17Aを計算するとともに、回路図データ16および記憶装置5により配線情報データベース17Bを読み出す。さらに、配線負荷情報追加手段9は、シュミレーション用ネットリスト作成手段8で作成したネットリスト18に、配線負荷情報抽出

手段7で作成した配線情報17Aおよび配線情報データベース17Bを追加し、配線情報を考慮した新たなネットリスト19を合成する。

【0018】最後に、解析演算手段10は配線負荷情報を考慮したシュミレーション用ネットリスト19を用いて回路解析シュミレーション20を実施する。このような回路解析を行えば、配線のクリティカルな部分を容易に認識でき、ICレイアウト時の留意点をICレイアウト工程へ継承することができる。

【0019】

【発明の効果】以上説明したように、本発明は回路図入力した配線の長さを用いて実際のICレイアウトの配線負荷情報を見積もることにより、回路設計段階でのエラー混入を回避することができるので、回路図データ入力直後の回路解析シュミレーション精度を向上させるとともに、シュミレーション速度を早くすることができるという効果がある。また、本発明はICレイアウト工程を介さずに、回路の確認ができるので、設計確定までのTATを短縮することができるという効果がある。しかも、本発明は設計担当者自身が配線のクリティカルな部分を認識できるため、ICレイアウト時の留意点をICレイアウト工程へ継承することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための回路設計装置のブロック図である。

【図2】図1における処理フロー図である。

【図3】図2における中央処理装置の動作説明図である。

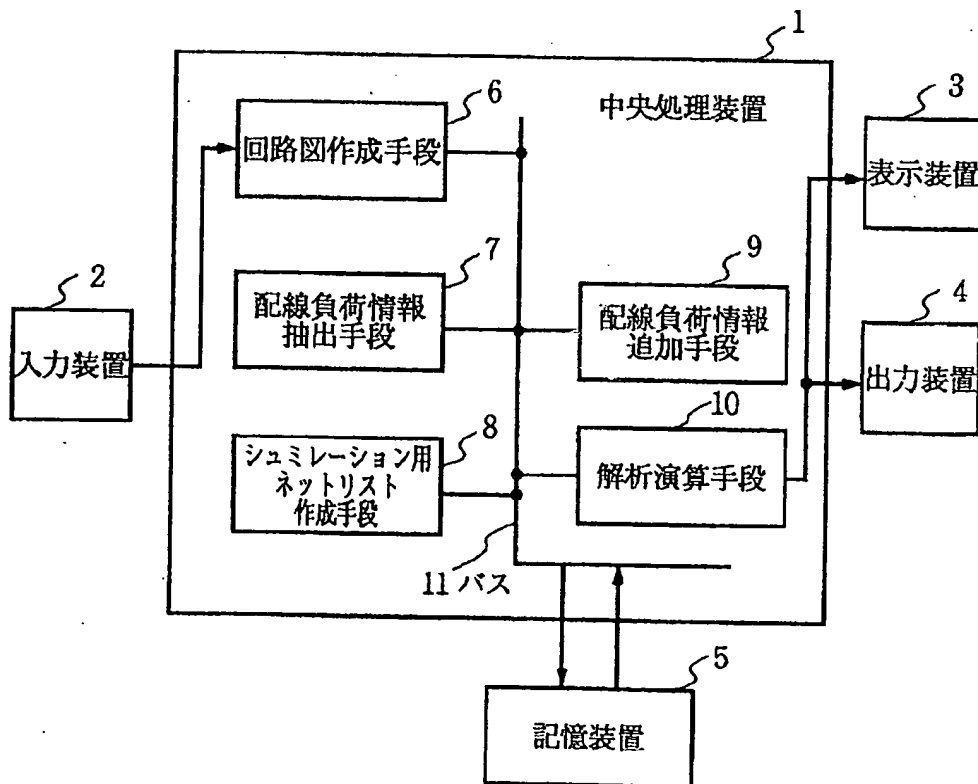
【図4】従来の一例を説明するための回路設計装置における処理フロー図である。

【図5】図4における中央処理装置の動作説明図である。

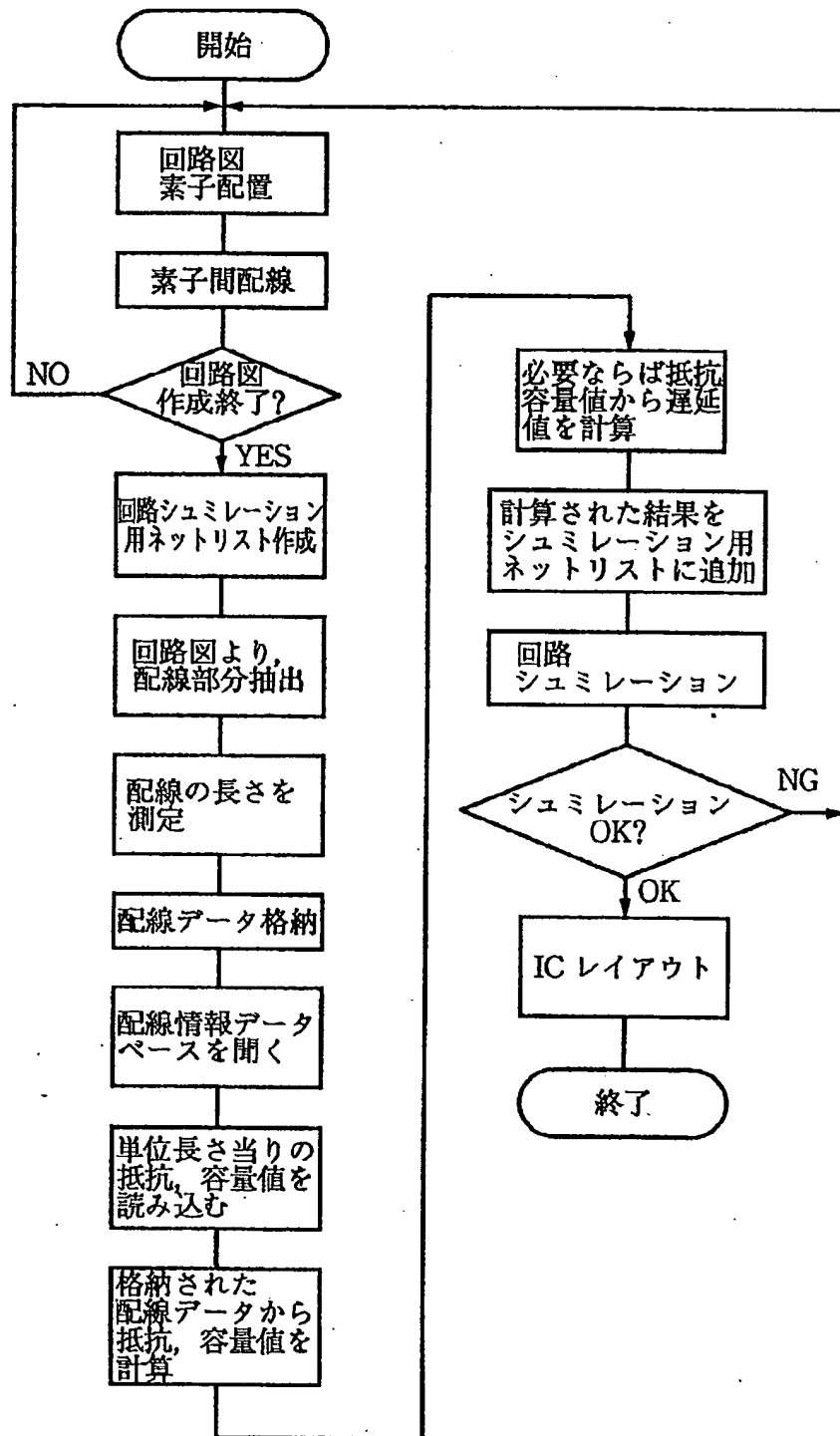
【符号の説明】

- 1 中央処理装置
- 2 入力装置
- 3 表示装置
- 4 出力装置
- 5 記憶装置
- 6 回路図作成手段
- 7 配線負荷情報抽出手段
- 8 シュミレーション用ネットリスト作成手段
- 9 配線負荷情報追加手段
- 10 解析演算手段
- 11 バス

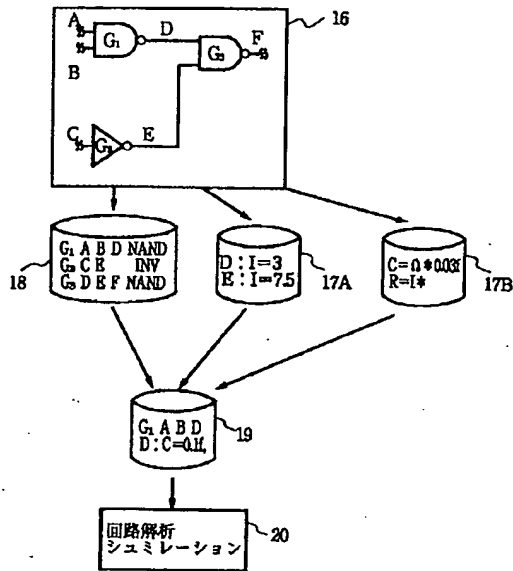
【図1】



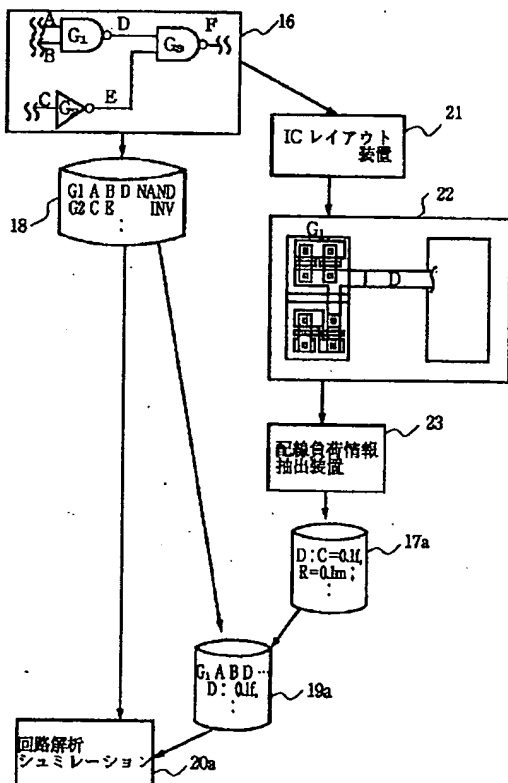
【図 2】



【図 3】



【図 5】



【図 4】

